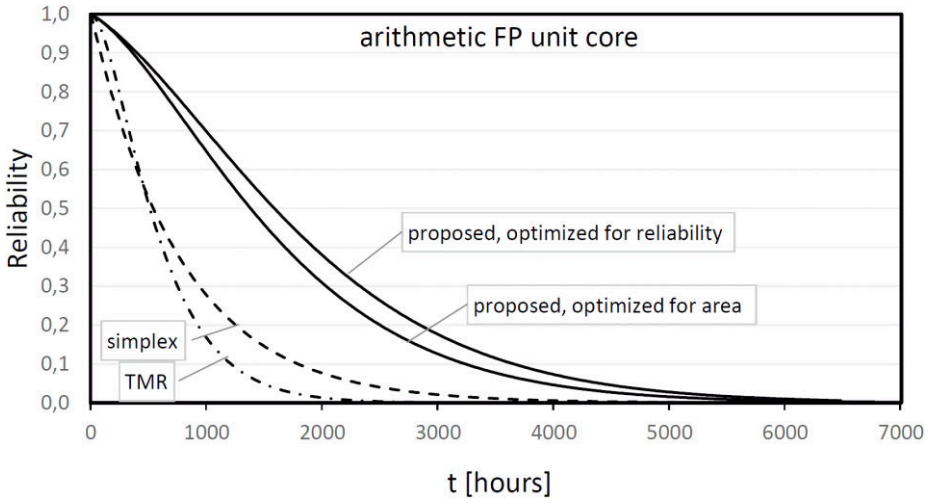
Názov výsledku: Zvyšovanie spoľahlivosti digitálnych obvodov na úrovni náhodnej logiky a pamätí RAM s využitím záložných prvkov
Anglicky názov výsledku: Enhancement of digital circuit reliability on the random logic and RAM level using redundancy elements
Autori: Ing. Štefan Krištofík, PhD., Ing. Marcel Baláž, PhD., Ing. Peter Malík, PhD.
Typ a číslo projektu: VEGA 2/0192/15

Anotácia výsledku:
Narastajúca poruchovosť digitálnych obvodov spôsobená zavádzaním stále menších výrobných technológii polovodičových súčiastok je motiváciou pre výskum zachovania vysokej spoľahlivosti, a to hlavne v kritických oblastiach ako doprava, zdravotníctvo či vesmírne misie. Cieľom výskumu je zvyšovanie dlhodobej spoľahlivosti týchto obvodov, konkrétne na úrovni logiky [1] a pamätí RAM [2] vo vnorených systémoch na čipe. Obe naše navrhnuté riešenia používajú metódu pridávania záložných prvkov. V [1] je navrhnutá nová architektúra s využitím tzv. rekonfigurovateľných logických blokov určená pre náhodnú logiku. V [2] je navrhnutá nová architektúra pre zvýšenie efektivity detekcie a spracovania informácií o nájdených poruchách v pamätiach RAM. Experimenty ukázali, že obe riešenia majú pozitívny vplyv na spoľahlivosť zálohovanej časti systému s náhodnou logikou (Obrázok 1) [1], resp. pamätí RAM [2] až do výšky 5 %. Obe navrhnuté riešenia sa zamerali okrem spoľahlivosti aj na ďalší dôležitý parameter, a to na redukciu miery pridanej plochy čipu, spôsobenú pridaním záloh. Túto mieru sa v oboch prípadoch podarilo udržať na nízkej úrovni.



Obrázok 1. Spoľahlivosť zálohovanej časti systému s náhodnou logikou.

Hlavné scientometrické výstupy:

1. KRIŠTOFÍK, Štefan - BALÁŽ, Marcel - MALÍK, Peter. Hardware redundancy architecture based on reconfigurable logic blocks with persistent high reliability improvement. In Microelectronics reliability, 2018, vol. 86, p. 38-53. ISSN 0026-2714. Typ: **ADCA**.
2. KRIŠTOFÍK, Štefan - MALÍK, Peter. Enhancement of fault collection for embedded RAM redundancy analysis considering intersection and orphan faults. In Integration : the VLSI Journal, 2018, vol. 62, p. 190-204. ISSN 0167-9260. Typ: **ADCA**.