Názov výsledku: Zvýšenie spoľahlivosti digitálnych výpočtových jadier
Anglicky názov výsledku: Reliability increase of digital computational cores
Autori: Marcel Baláž, Peter Malík, Štefan Krištofík, Mária Fischerová
Typ a číslo projektu: VEGA 2/0192/15

Anotácia výsledku: Cieľom výskumu bolo prispieť k zvýšeniu spoľahlivosti a životnosti digitálnych jadier, resp. SoC, a to jednak štandardných jadier (procesory, riadiace a iné kombinačné jadrá) a jednak špeciálnych výpočtovo náročných jadier, pre ktoré v súčasnosti neexistujú metódy zvýšenia spoľahlivosti.
V prvej oblasti sme sa sústredili na zlepšenie parametrov nami navrhnutej spoľahlivostnej architektúry. V [1] sme zaviedli princíp on-line testovania funkčnej časti jadra. V [2] sme navrhli novú procedúru, ktorá v prípade výskytu poruchy riadi testovanie a samoopravu. Systém dokáže opraviť súčasne viac porúch a vie sa zotaviť z prechodných porúch. Pridaná plocha výslednej architektúry je výrazne menšia v porovnaní s riešením TMR na čipe.

V druhej oblasti sme navrhli dve výpočtovo náročné štruktúry na zrýchlenie výpočtu delenia [3] a exponenciálnej funkcie [4] v pohyblivej rádovej čiarke.Časová úspora oproti iným riešeniam je 27%. Obe hardvérové štruktúry sú určené pre algoritmy s vysokým počtom iterácií a pre spracovanie veľkého množstva údajov zo senzorov (napr. v spektroskopii). Spoľahlivosť týchto štruktúr budú zabezpečovať navrhnuté samoopraviteľné architektúry.

Hlavné scientometrické výstupy
1. KRIŠTOFÍK, Štefan - BALÁŽ, Marcel - FISCHEROVÁ, Mária. Generic self repair architecture with on-line fault diagnosis. In 2015 IEEE 18th DDECS 2015. – Belgrade, Serbia : IEEE CPS, 2015, proceedings, p. 279-282. ISBN 978-1-4799-6780-3. Typ: AECA
2. BALÁŽ, Marcel - KRIŠTOFÍK, Štefan. Generic Self Repair Architecture with Multiple Fault Handling Capability. In Euromicro Conference on Digital System Design : DSD 2015. - Funchal, Portugal : IEEE CPS, 2015, proceedings, p. 197-204. ISBN 978-1-4673-8035-5. Typ: AECA
3. MALÍK, Peter. High throughput floating-point dividers implemented in FPGA. In 2015 IEEE 18th DDECS 2015. – Belgrade, Serbia : IEEE CPS, 2015, proceedings, p. 291-294. ISBN 978-1-4799-6780-3. Typ: AECA
4. MALÍK, Peter. High Throughput floating point exponential function implemented in FPGA. In 2015 IEEE ISVLSI. - Montpellier, France : IEEE CPS, 2015, proceedings, p. 97-100. ISBN 978-1-4799-8718-4. Typ: AECA